

A-01

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210099

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

G11C 29/00
 G11C 11/407
 G11C 11/401
 H01L 27/04
 H01L 21/822
 H01L 27/108
 H01L 21/8242

(21)Application number : 2000-018316

(71)Applicant : FUJITSU LTD
 FUJITSU VLSI LTD

(22)Date of filing : 27.01.2000

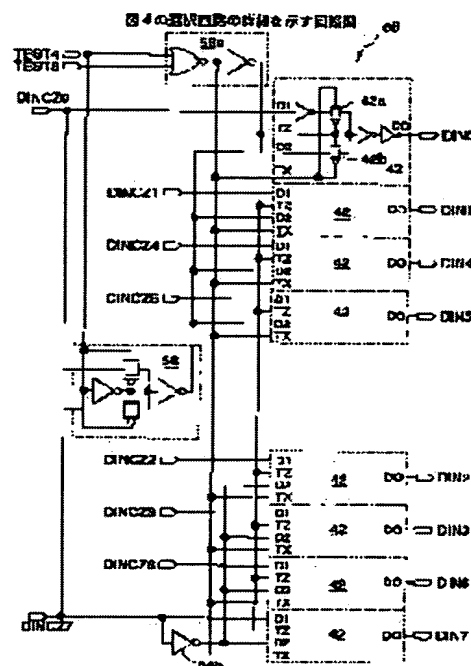
(72)Inventor : NAKAIE MUTSUYA
 IKEDA SHINICHIRO
 KATO KOJI
 KAWAMOTO SATORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve relieving efficiency of defect and to reduce the chip size of a semiconductor integrated circuit in a semiconductor integrated circuit having a function of a data compression test for efficiently performing an operation test.

SOLUTION: This circuit is provided with input/output terminals for transmitting input/output data, memory cells holding input/output data, a first switch circuit 58, and second switch circuits 42. The first switch circuit 58 selects the prescribed bits out of input/output data in accordance with each of a plurality of test modes and outputs a selected bit as test data. The second switch circuits 42 are formed corresponding respectively to each input/out terminal. The second switch circuits 42 receive each bit of the input/output data and test data, selects either of both data in accordance with an operation mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Best Available Copy

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평 13-210099호(2001.08.03) 1부.

[첨부그림 1]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2001-210089

(P2001-210089A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.	識別記号	FI	特許庁(参考)
G11C 29/00	671	G11C 29/00	671P 5B024
11/407		11/34	362S 5F038
11/401			371A 5F083
H01L 27/04		H01L 27/04	T 5L106
21/822		27/10	681F

審査請求 未請求 請求項の数10 OL (全 17 頁) 最終頁に続く

(21)出願番号 特願2000-18316(P2000-18316)

(22)出願日 平成12年1月27日(2000.1.27)

(71)出願人 000005823
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(71)出願人 000237817
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2
(72)発明者 仲家 隆哉
愛知県春日井市高蔵寺町2丁目1844番2
富士通ヴィエルエスアイ株式会社内
(74)代理人 100072718
弁理士 古谷 史旺 (外1名)

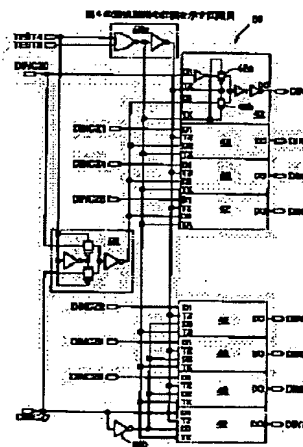
最終頁に続く

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 本発明は、動作試験を効率的に行うデータ圧縮試験の機能を有する半導体集積回路に関し、不良の検出効率を向上することを目的とする。また、本発明は、半導体集積回路のチップサイズを低減することにある。

【解決手段】 入出力データを伝達する複数の入出力端子と、入出力データを保持する複数のメモリセルと、第1スイッチ回路58と、第2スイッチ回路42とを備えている。第1スイッチ回路58は、複数の試験モードのそれぞれに応じて入出力データのうちの所定のビットを選択し、選択したビットを試験用データとして出力する。第2スイッチ回路42は、各入出力端子にそれぞれ対応して形成されている。第2スイッチ回路42は、入出力データの各ビットと試験用データを受け、動作モードに応じて、いずれか一方のデータを選択する。



【특許請求의範圍】

【請求項 1】 入出力データを伝達する複数の入出力端子と、

前記入出力データを保持する複数のメモリセルと、
複数の試験モードのそれぞれに応じて前記入出力データのうち所定のビットを選択し、試験用データとして出力する第1スイッチ回路と、

前記各入出力端子に対応してそれぞれ形成され、前記入出力データの各ビットと前記試験용 데이터를受け、通常動作モード時に前記入出力データの 전記各 비트를それぞれ選択し、前記各 시험 모드時に 전記 시험용 데이터를 선택시、 선택 시킨 데이터를 메모리 셀에 출력하는 複數의 제2 스위치 회로를 포함하는 반도체 집적 회로.

【請求項 2】 請求項 1記載の半導体集積回路において、

互いに番号の異なる複数の前記ビットを受け持ち、所定のアドレスで発生した不良を検出する救済回路を有する複數의 메모리 셀 어레이를 포함;

前記 시험용 데이터를受ける 전記 제2 스위치 회로 的數は、前記各 메모리 셀 어레이가それぞれ受け持つ 비트數以下であることを特徴とする半導体集積回路.

【請求項 3】 請求項 1記載の半導体集積回路において、

前記 제1 스위치 회로와 전記 제2 스위치 회로との間に、前記 시험용 데이터를 래치하는 래치 회로를 포함することを特徴とする半導体集積回路.

【請求項 4】 請求項 3記載の半導体集積回路において、

前記 래치 회로는、パワーオン時に活性化されるリセット信号を受け、内部状態をリセットするリセット 회로를 포함することを特徴とする半導体集積回路.

【請求項 5】 請求項 1記載の半導体集積回路において、

前記入出力データを 전記 제2 스위치 회로에供給する 버퍼 회로를 포함;

前記 제1 스위치 회로에는、前記 버퍼 회로より 전記入出力端子側で伝達される 전記入出力 데이터가供給されることを特徴とする半導体集積回路.

【請求項 6】 入出力データを伝達する複數의 入出力 端子と、

前記入出力データのうち互いに異なる番号のビットが割り当てられ、互いに異なるアドレスが割り当てられた複數의 메모리 셀 어레이領域と

前記各 메모리 셀 어레이領域의 메모리 셀에それぞれ接続される 비트線を、前記 메모리 셀 어레이領域に形成された共有 비트線にそれぞれ接続する 비트線 스위치と、

前記共有 비트線に接続され、前記 비트線 스위치를介して伝達される 전記 비트線의 데이터를增幅するセン

スアンプとを備えたことを特徴とする半導体集積回路.

【請求項 7】 請求項 6記載の半導体集積回路において、

前記共有 비트線と、前記各 메모리 셀 어레이領域に割り当てられた 전記 비트에 対応する 데이터線とをそれぞれ接続する 데이터線 스위치를備えたことを特徴とする半導体集積回路.

【請求項 8】 請求項 7記載の半導体集積回路において、

前記共有 비트線は、前記各 비트線 스위치를介して2つの 메모리 셀 어레이領域がそれぞれ接続され、一方의 전記 메모리 셀 어레이領域의 전記 비트에 対応する 전記 비트線 스위치의制御信号は、他方의 전記 메모리 셀 어레이領域의 전記 비트에 対応する 전記 데이터線 스위치를非活性化する制御信号として使用されることを特徴とする半導体集積回路.

【請求項 9】 請求項 8記載の半導体集積回路において、

複數의 전記 비트線 스위치를同時にオンし、前記各 메모리 셀 어레이領域に一括して前記入出力 데이터를書き込む試験モードを備え、

前記 데이터線 스위치의少なくとも一方は、前記 시험 모드時にオンすることを特徴とする半導体集積回路.

【請求項 10】 請求項 6記載の半導体集積回路において、

前記 시험モードは、前記 메모리 셀에 接続される全ての 워드線を活性化し、該 메모리 셀에 스트레스を与えるパージンテストモードであることを特徴とする半導体集積回路.

【發明의詳細な説明】

【0001】

【發明の属する技術分野】本發明は、データ信号を集約して、読み書き動作試験を効率的に行うデータ圧縮試験の機構を有する半導体集積回路に関する.

【0002】

【従来の技術】DRAM (Dynamic Random Access Memory) 等のメモリLSIにおいては、その記憶容量が年々増大してきている。これ等メモリLSIのアドレス空間は、記憶容量の増大により、入出力端子を16ビットあるいは32ビット（一般に、多ビット品と称する）にした場合にも、十分に確保されるようになってきている。例えば、32ビットのマイクロコンピュータで使用するワークメモリは、32ビットのメモリLSIを1個使用することで構成可能である。

【0003】一方、外部端子の数の増大に伴い、試験用の評価基板に搭載できるメモリLSIの数は、減る傾向にある。メモリLSIの試験の効率は、LSIテストの入出力端子の数に依存する。例えば、LSIテストの入出力チャンネルの数が256である場合、8ビットの入出力端子を有するDRAMでは、同時に32個を試験可能であるが、32ビット

の入出力端子を有するDRAMでは、同時に8個しか試験できない。この結果、試験コスト（特に出荷用の試験）が大幅に増大する。

【00004】近時、入出力端子の増加に伴う試験コストの増大を防止するために、メモリLSI内でデータ信号を乗約し、読み書き動作試験を効率的に行うデータ圧縮機能を有するメモリLSIが開発されている。図12は、データの圧縮機能を有するSDRAM（Synchronous DRAM）におけるメモリコア10を示している。このSDRAMは、32ビットの入出力端子を有している。以後、入出力端子を介して伝達される入出力データの各ビットをDQとも称する。

【00005】メモリコア10は、図の縦方向に8行、横方向に12列に配置された96個のメモリセルアレイ12を有している。メモリセルアレイ12の一行は、ブロックBLK0～BLK7のいずれかに割り当てられている。ブロックBLK0、BLK4、ブロックBLK1、BLK5、ブロックBLK2、BLK6、ブロックBLK3、BLK7は、それぞれ同時に活性化されるブロックである。4行×3列で構成される12個のメモリセルアレイ12は、所定のDQに対応している。図中、記号Aを付したメモリセルは、DQ0、DQ1、DQ14、DQ15に対応している。記号Bを付したメモリセルは、DQ2、DQ3、DQ12、DQ13に対応している。記号Cを付したメモリセルは、DQ4、DQ5、DQ10、DQ11に対応している。記号Dを付したメモリセルは、DQ6、DQ7、DQ9、DQ9に対応している。記号Eを付したメモリセルは、DQ18、DQ19、DQ28、DQ29に対応している。記号Fを付したメモリセルは、DQ16、DQ17、DQ30、DQ31に対応している。記号Gを付したメモリセルは、DQ22、DQ23、DQ24、DQ25に対応している。記号Hを付したメモリセルは、DQ20、DQ21、DQ26、DQ27に対応している。記号A～Hを付した12個のメモリセルアレイ12で構成されるメモリセルアレイ群を、以後、グループA～Hとも称する。

【00006】グループB、D、F、Hの端には、コラムデコーダ14が、それぞれ配置されている。グループC、EとグループB、Fとの間には、ロウデコーダ16が配置されている。ロウデコーダ16からは、横方向の両側のメモリセルアレイ12に向けてワードWLが配線されている。メモリセルアレイ12の間には、縦方向に沿って複数の主データ線MOLPが形成され、横方向に沿って複数の副データ線POLが形成されている。副データ線POLは、黒丸で示したデータスイッチ18により主データ線MOLPに接続されている。すなわち、データ線は、階層構造を有している。グループA、B、グループC、D、グループE、F、グループG、Hは、DQの番号を除いてそれぞれ同一の構造（鏡面対称を含む）である。このため、以後主に、グループA、Bについて説明する。

【00007】図13は、グループA、Bのレイアウトの詳細を示している。各メモリセルアレイ12は、縦方向

に沿って複数のビット線BLPが形成されている。隣接するビット線BLPは、互いの干渉を避けるため、別のビット番号のビット線BLPを挟んで配線されている。ビット線BLPは、白丸で示したコラムスイッチ20により副データ線POLに接続されている。ブロック間（例えば、BLK1とBLK2の間）に形成されたコラムスイッチ20に接続されるビット線BLPは、両ブロック内（BLK1とBLK2）に配線されている。ブロックBLK0、BLK3の端に形成されたコラムスイッチ20に接続されるビット線BLPは、ブロックBLK0、BLK3内にそれぞれ配線されている。

【00008】図中の太線で示した矢印は、読み出し動作および書き込み動作におけるデータの流れを示している。例えば、グループBのブロックBLK1のメモリセルアレイ12から読み出されるデータは、ビット線BLP、コラムスイッチ20、副データ線POL、データスイッチ18、主データ線MOLPを介してグループBの外部に伝達される（図13(i)）。ブロックBLK4（グループA）のメモリセルアレイ12に書き込まれるデータは、主データ線MOLP、データスイッチ18、副データ線POL、コラムスイッチ20、ビット線BLPを介してグループAの外部からメモリセル（図示せず）に伝達される（図13(ii)）。

【00009】各ブロック（例えば、図12に示したグループB、D、F、Hで構成されるBLK0）は、それぞれ2個のワード線救済回路22を有している。ワード線救済回路22は、冗長ワード線（図示せず）と、この冗長ワード線に接続される複数の冗長メモリセル（図示せず）とを有している。ブロックBLK0～BLK7は、ワード線救済回路22を使用することで、それぞれ2個のワード線不良または2個のビット不良を救済できる。

【00010】各グループA～Hは、少なくとも1個以上のビット線救済回路24を有している。ビット線救済回路24は、冗長ビット線（図示せず）と、この冗長ビット線に接続される複数の冗長メモリセル（図示せず）とを有している。グループA～Hは、ビット線救済回路24を使用することで、1個のビット線不良または1個のビット不良を救済できる。

【00011】図14は、ブロックBLK0、BLK1の間に形成される制御回路26を示している。ブロックBLK0、BLK1のビット線BLPは、nMOSトランジスタからなるビット線スイッチ28を介して共有ビット線SHBLPに接続されている。各ビット線スイッチ28は、コラムアドレスに応じて活性化される制御信号BT0、BT1でそれぞれ制御されている。共有ビット線SHBLPには、センスアンプ30およびプリチャージ回路32が接続されている。プリチャージ回路32は、イコライズ信号BISが高レベルのときに、共有ビット線SHBLPと制御信号BT0、BT1により共有ビット線SHBLPに接続されているビット線BLPとに、プリチャージ電圧VPRを供給する回路であ

る。センスアンプ30およびプリチャージ回路32は、ビット線スイッチ28を介してブロックBLK0、BLK1に共有されている。共有ビット線対SHBLPは、nMOSトランジスタからなるコラム線スイッチ20を介してデータ線対BLPに接続されている。コラム線スイッチ20のゲートは、コラムアドレスに応じて活性化されるコラム線選択信号CLで制御されている。副データ線対SDLPと主データ線対MDLPとを接続するデータ線スイッチ18は、nMOSトランジスタとインバータとで構成されている。データ線スイッチ18のゲートは、インバータを介してプリチャージ信号BRSで制御されている。例えば、ブロックBLK0の読み出し動作は、制御信号BFOおよびコラム線選択信号CLが高レベルに変化し、制御信号BF1およびプリチャージ信号BRSが低レベルに変化し、ブロックBLK0のビット線対BLP、共有ビット線対SHBLP、副データ線対SDLP、主データ線対MDLPが接続されることで実行される。

【0012】図15は、ブロックBLK3、BLK4の間(グループA、Bの間)に形成される制御回路34を示している。グループA、Bは、保持するデータのビット番号(DQ)が異なるため、それぞれに制御回路を有している。共有ビット線対SHBLPの端に接続されたビット線スイッチ28は、ゲートを接地線VSSに接続し、ビット線対BLPと反対側の端を開放している。ブロックBLK3では、プリチャージ回路32およびデータ線スイッチ18は、プリチャージ信号BRS3を受け、コラム線スイッチ20は、コラム線選択信号CLを受け、ビット線対BLPに接続されたスイッチ16は、制御信号BF3を受けている。ブロックBLK4では、プリチャージ回路32およびデータ線スイッチ18は、プリチャージ信号BRS4を受け、コラム線スイッチ20は、コラム線選択信号CLを受け、ビット線対BLPに接続されたビット線スイッチ28は、制御信号BF4を受けている。

【0013】このように、グループA、Bの境界部分には、グループA、Bにそれぞれ対応するセンスアンプ30、プリチャージ回路32等が配置されている。このため、ブロックBLK3、BLK4間は、他のブロック間に比べ、大きいレイアウト面積が必要になる。図16は、従来のSDRAMにおける書き込みデータのデータ圧縮回路36を示している。

【0014】データ圧縮回路36は、各入出力データ信号DQ0~DQ7に対応する8個のバッファ回路38と選択回路40とを有している。バッファ回路38は、入出力データ信号DQ0~DQ7をそれぞれ受け、書き込みデータ信号DINC20~DINC27として出力している。選択回路40は、書き込みデータ信号DINC20~DINC27および圧縮試験のイネーブル信号TEST8を受け、書き込みデータ信号DI NO~DI IN7を出力している。

【0015】図17は、選択回路40の詳細を示している。選択回路40は、書き込みデータ信号DINC20~DINC27にそれぞれ対応する8個のスイッチ回路42と、これ

等スイッチ回路42を制御するインバータ40a、40b、40cとで構成されている。スイッチ回路42は、インバータを介して端子D1に供給される信号を伝達するCMOS伝達ゲート42aと、端子D2に供給される信号を伝達するCMOS伝達ゲート42bとを有している。CMOS伝達ゲート42a、42bの出力は、互いに接続され、縦横接続された2つのインバータを介して端子D0に接続されている。CMOS伝達ゲート42a、42bは、イネーブル信号TEST8と同相の信号および逆相の信号で制御されている。

【0016】CMOS伝達ゲート42aは、イネーブル信号TEST8が低レベル(通常の動作)のときにオンする。CMOS伝達ゲート42bは、イネーブル信号TEST8が高レベル(データ圧縮試験)のときにオンする。各選択回路42の端子D2は、インバータ40cを介して書き込みデータ信号DINC27の反転信号を受けている。すなわち、通常の動作では、書き込みデータ信号DINC20~7が、それぞれ書き込みデータ信号DI NO~7として伝達される。データ圧縮試験の動作では、8ビットの入出力端子が1ビットに圧縮され、書き込みデータ信号DINC27は、書き込みデータ信号DI NO~7として伝達される。特に図示しないが、同じ構造の選択回路40が、入出力データ信号DQ8~15、DQ16~23、DQ24~31についても形成されている。

【0017】このSDRAMを評価するLSIテストの評価基板は、4ビット(DQ7、DQ15、DQ23、DQ31)の入出力チャネルを使用するだけで、1個のSDRAMの読み書き動作試験を実行できる。例えば、入出力チャネルの数が256であるLSIテストでは、一度に64個のSDRAMの試験を実行可能になる。データ圧縮試験は、ウェーハ状態でプロブ試験(救済の判定)、およびパッケージに組み立て後の最終試験に、チップの動作を確認するために行われることが多い。

【0018】

【発明が解決しようとする課題】ところで、データ圧縮試験では、入出力データを集約して試験しているため、試験で不良が見つかった場合にも、入出力データのどのビットが不良になっているかを判断できない。例えば、図18に×印で示したように、実際にはブロックBLK0のDQ2にビット不良があり、ワード線不良が発生した場合にも、データ圧縮試験では、その不良がグループA、B、C、Dのいずれで発生しているかは判断できない。このため、この不良をワード線救済回路22を使用して救済する場合、ブロックBLK0、BLK4のワード線救済回路22を両方使用しなくてはならなかった。すなわち、ブロックBLK4における正常に動作するワード線を救済するための救済効率(ワード線救済回路22の使用効率)が低下する。この結果、歩留りが低下し、製造コストが増大するという問題があった。

【0019】救済アドレス、救済DQは、データ圧縮試験の手法を使用せずに通常の読み書き動作試験によっても

確認できる。しかし、この場合には、LSI テスタで同時に試験できるメモリセルの数が減るため（上記の例では、64個から8個）、製造コスト（試験コスト）が大幅に増大してしまう。

【0020】さらに、各メモリセルアレイ12の04数（上記の例では4ビット）に対応するデータ圧縮試験の制御回路を追加し、圧縮するビット数を可変にすることで救済効率の低下を防止できる。しかし、この場合には、図17に示した選択回路の他に新たな選択回路を形成しなくてはならない。この結果、レイアウト面積が増大し、チップサイズが増大するおそれがある。

【0021】また、図15に示したブロックBLK3、BLK4間は、各ブロックBLK3、BLK4毎にセンスアンプ30、プリチャージ回路32を配置しているため、他のブロック間と異なり、レイアウト面積が大きくなるという問題があった。本発明の目的は、データ圧縮試験機能を使用して不良の救済効率を向上することにある。

【0022】本発明の別の目的は、半導体集積回路のチップサイズを低減することにある。特に、データ圧縮試験機能を有する半導体集積回路のチップサイズを低減することにある。

【0023】課題を解決するための手段 請求項1の半導体集積回路は、入出力データを伝達する複数の入出力端子と、入出力データを保持する複数のメモリセルと、第1スイッチ回路と、第2スイッチ回路とを備えている。第1スイッチ回路は、複数の試験モードのそれぞれに応じて入出力データのうちの所定のビットを選択し、選択したビットを試験用データとして出力する。第2スイッチ回路は、各入出力端子にそれぞれ対応して形成されている。第2スイッチ回路は、入出力データの各ビットと試験用データを受け、動作モードに応じて、いずれか一方のデータを選択する。より詳細には、通常動作モード時には、入出力データの各ビットがそれぞれメモリセルに出力される。試験モード時には、試験用データが選択され、この試験用データが共通の入出力データとしてメモリセルに出力される。すなわち、データ圧縮試験が実行される。このため、例えば第1スイッチ回路および第2スイッチ回路を使用して、複数の種類のデータ圧縮試験の書き込み制御ができる。その結果、データ圧縮試験の制御回路のレイアウト面積が小さくなり、チップサイズの増大を防止できる。また、複数のデータ圧縮試験に対応する試験用データの選択は、第1スイッチ回路で行われるため、第2スイッチ回路から出力されるデータの負荷は、通常動作および複数の試験モードによって変わらない。したがって、タイミング設計が容易になる。

【0024】請求項2の半導体集積回路は、互いに番号の異なる複数のビットを受け持つ複数のメモリセルアレイを備えている。各メモリセルアレイは、所定のアドレス

で発生した不良を救済する救済回路を有している。試験用データを受ける第2スイッチ回路の数は、各メモリセルアレイがそれぞれ受け持つビット数以下にされている。このため、試験用データを書き込むビット数は、救済回路で一度に救済されるビット数以下になる。この結果、試験モード（データ圧縮試験）時に、メモリセルアレイ毎に不良が判定でき、実際に不良が発生したメモリセルアレイの救済回路のみを使用して不良の救済ができる。データ圧縮試験を救済判定に適用した場合にも、救済回路を効率よく使用でき、救済効率の低下を防止できる。

【0025】請求項3の半導体集積回路は、第1スイッチ回路と前記第2スイッチ回路との間に、試験用データをラッチするラッチ回路を備えている。このため、第1スイッチ回路の出力が高インピーダンスの場合にも、第2スイッチ回路に高レベルまたは低レベルが供給される。したがって、第2スイッチ回路の誤動作が防止され、直通電流が発生することが防止される。

【0026】請求項4の半導体集積回路は、ラッチ回路は、パワーオン時に活性化されるリセット信号を受け、内部状態をリセットするリセット回路を備えている。このため、パワーオン時にラッチ回路が確実に初期化され、直通電流の発生が防止される。請求項5の半導体集積回路は、入出力データを第2スイッチ回路に供給するバッファ回路を備えている。第1スイッチ回路には、バッファ回路より入出力端子側で伝達される入出力データが供給される。このため、第2スイッチ回路の供給される入出力データの負荷を全て同じにできる。この結果、入出力データのうちの試験モードで使用する特定のビットの第2スイッチ回路への供給タイミングがずれることが防止される。

【0027】請求項6の半導体集積回路は、入出力データを伝達する複数の入出力端子と、複数のメモリセルアレイ領域と、各メモリセルアレイ領域に対応するビット線スイッチと、センスアンプとを備えている。各メモリセルアレイ領域は、入出力データのうちの互いに異なる番号のビットが割り当てられ、互いに異なるアドレスが割り当てられている。ビット線スイッチは、各メモリセルアレイ領域のメモリセルにそれぞれ接続されたビット線を、メモリセルアレイ領域に形成された共有ビット線にそれぞれ接続する。センスアンプは、共有ビット線に接続されており、ビット線スイッチを介して伝達されるビット線のデータを増幅する。例えば、あるメモリセルアレイ領域がアクセスされたときに、そのメモリセルアレイに対応するビット線スイッチのみがオンされ、入出力データのうちの所定のビットのデータがビット線と共有ビット線との間で伝達される。センスアンプは、共有ビット線に伝達されたデータを増幅する。別のメモリセルアレイ領域がアクセスされたときに、そのメモリセルアレイ領域に対応するビット線スイッチのみがオンされ、入

出力データのうち前回と異なるビットのデータがビット線と共有ビット線との間を伝達される。センスアンプは、共有ビット線に伝達された前回と異なるビットのデータを増幅する。このように、センスアンプは、互いに異なるビットの入出力データに対して共有されている。この結果、センスアンプの数を減らすことができ、メモリアルレイ領域のレイアウト面積が低減され、チップサイズが低減される。

【0029】請求項7の半導体集積回路は、共有ビット線と、各メモリアルレイ領域に割り当てられたビットに対応するデータ線とをそれぞれ接続するデータ線スイッチを備えている。このため、メモリアルレイ領域とデータ線との間に、そのメモリアルレイに割り当てられた所定のビットのデータが確実に伝達される。

【0029】請求項8の半導体集積回路では、共有ビット線には、各ビット線スイッチを介して2つのメモリアルレイ領域がそれぞれ接続されている。一方のメモリアルレイ領域のビットに対応するビット線スイッチの制御信号は、他方のメモリアルレイのビットに対応するデータ線スイッチを非活性化化する制御信号として使用されている。すなわち、一方のメモリアルレイ領域のビット線が活性化されたとき、他方のメモリアルレイ領域のビット線は非活性化される。このため、特別の信号生成回路を形成することなく、2つのメモリアルレイ領域に対応するデータ線スイッチを容易に制御できる。

【0030】請求項9の半導体集積回路は、複数のビット線スイッチを同時にオンし、各メモリアルレイ領域に一括して入出力データを書き込む試験モードを備えている。データ線スイッチの少なくとも一方は、試験モード時にオンされる。このため、一方のデータ線を使用することで、他方のデータ線に対応するメモリアルレイ領域に対しても、入出力データを書き込むことができる。すなわち、データ圧縮試験を容易に実行できる。

【0031】請求項10の半導体集積回路では、複数のビット線スイッチを同時にオンすることで、メモリアルレイ領域に接続される全てのワード線が活性化され、これ等メモリアルレイにストレスを与えるバーンインテストが実行される。

【0032】「発明の実施の形態」以下、本発明の実施形態を図面を用いて説明する。

【0033】図1は、本発明の半導体集積回路の第1の実施形態におけるメモリアレイを示している。この実施形態は、請求項1、請求項2、請求項6ないし請求項8に対応している。従来技術と同一の回路については、同一の符号を付し、これら回路については、詳細な説明を省略する。

【0034】半導体集積回路は、シリコン基板上にCMOSプロセス技術を使用してデータの圧縮機能を有するSDRAM

Mとして形成されている。SDRAMは、入出力データを伝達する32ビットの入出力端子を備えている。このSDRAMのメモリアレイは、図の縦方向に8行、横方向に12列に配置された96個のメモリアルレイ12を有している。メモリアルレイ12は、複数のメモリアルセルを有している。特に図示していないが、メモリアレイ12の周囲には、データの書き込み用のライトアンプおよびデータの読み出し用のセンスバッファ等が形成されている。

【0035】メモリアルレイ12の一行は、ブロックBLK0~BLK7のいずれかに割り当てられている。ブロックBLK0、BLK4、ブロックBLK1、BLK5、ブロックBLK2、BLK6、ブロックBLK3、BLK7は、それぞれ同時に活性化されるブロックである。例えば、あるアドレスが外部から供給されたときに、ブロックBLK0、BLK4が同時に活性化される。4行×3列で構成される12個のメモリアルレイ12は、所定の00に対応している。これらのメモリアルレイ12からなるメモリアルレイ領域を、従来技術と同様に、グループA~グループHと称する。

【0036】グループB、D、F、Hの端には、それぞれ、コラムデコーダ14が配置されている。グループC、DとグループE、Fとの間には、ロウデコーダ16が配置されている。ロウデコーダ16からは、横方向の両側のメモリアルレイ12にワード線WLが配線されている。メモリアルレイ12の間には、縦方向に沿って複数の主データ線対MDLPが形成され、横方向に沿って複数の副データ線対SDLPが形成されている。副データ線対SDLPは、黒丸で示したデータ線スイッチ18により主データ線対MDLPに接続されている。すなわち、データ線は、階層構造を有している。

【0037】ブロックBLK3、BLK4の間には、上側のグループに対応するデータ線スイッチ18と下側のグループに対応するデータ線スイッチ18とが接続された副データ線対SDLPが形成されている。

【0038】図2は、グループA、Bのレイアウトの詳細を示している。ここでは、従来技術で説明した図13と相違する要素のみを説明する。なお、従来と同様に、各ブロック(例えば、図1に示したグループB、D、F、Hで構成されるBLK0)は、それぞれ2個のワード線救済回路22を有し、各グループA~Hは、少なくとも1個以上のビット線救済回路24を有している。

【0039】ブロックBLK3およびブロックBLK4のビット線対BLPは、白丸で示したコラム線スイッチ20により、ブロックBLK3、BLK4間に形成された副データ線対SDLPに接続されている。すなわち、ブロックBLK3、BLK4間に形成された副データ線対SDLPは、ブロックBLK3の動作時には002、003用として使用され、ブロックBLK4の動作時には、000、001用として使用される。

【0040】なお、データ線は、ブロック間に形成される構造に限定されず、例えば、メモリアルレイ上を流れて配線される構造でもよい。図3は、ブロックBLK3、

BLK4의間に形成される制御回路52を示している。なお、他のブロック間には、従来技術(図14)と同一の制御回路26が形成されている。

【0041】ブロックBLK3、BLK4のビット線対BLPは、nMOSトランジスタからなるビット線スイッチ28を介して共有ビット線対SHBLPに接続されている。各ビット線スイッチ28は、コラムアドレスに応じて活性化される制御信号BT3、BT4でそれぞれ制御されている。すなわち、制御信号BT3は、ブロックBLK3のビット線対BLPを活性化する活性化信号であり、制御信号BT4は、ブロックBLK4のビット線対BLPを活性化する活性化信号である。共有ビット線対SHBLPには、センスアンプ30およびプリチャージ回路32が接続されている。センスアンプ30およびプリチャージ回路32は、ビット線スイッチ28を介してブロックBLK3、BLK4に共有されている。このため、制御回路52のレイアウト面積は、従来の制御回路34(図15)に比べて大幅に低減されている。

【0042】共有ビット線対SHBLPは、nMOSトランジスタからなるコラム線スイッチ20を介してデータ線対BLPに接続されている。コラム線スイッチ20のゲートは、コラムアドレスに応じて活性化されるコラム線選択信号CLで制御されている。副データ線対SDLと2組の主データ線対MDLPとを接続するために、2個のデータ線スイッチ18が形成されている。グループAに対応するデータ線スイッチ18のゲートは、インバータを介してブロックBLK3(グループB)を制御する制御信号BT3で制御されている。グループBに対応するデータ線スイッチ18のゲートは、インバータを介してブロックBLK4(グループA)を制御する制御信号BT4で制御されている。換言すれば、制御信号BT3は、ブロックBLK3のビット線スイッチ28を活性化すると同時に、ブロックBLK4に対応するデータ線スイッチ18を非活性化する。データ線スイッチ18のゲートを、互いに相手のブロックの制御信号BT3、BT4の反転信号で制御したため、制御回路は簡易になる。

【0043】例えば、ブロックBLK3の読み出し動作は、制御信号BT3およびコラム線選択信号CLが高レベルに変化し、制御信号BT4およびプリチャージ信号BPSが低レベルに変化し、ブロックBLK3のビット線対BLPは共有ビット線対SHBLP、供給の副データ線対SDL(グループB)に対応する主データ線対MDLPに接続されることで実行される。図4は、書き込みデータのデータ圧縮回路54を示している。

【0044】データ圧縮回路54は、入力データ信号D00~D07に対応する8個のバッファ回路38と選択回路56とを有している。選択回路56は、書き込みデータ信号DINC20~DINC27およびデータ圧縮試験のイネーブル信号TEST4、TEST8を受け、書き込みデータ信号DI NO~DI

N7を出力している。イネーブル信号TEST4は、4ビットのデータ圧縮試験のときに高レベルになり、イネーブル信号TEST8は、8ビットのデータ圧縮試験のときに高レベルになる。すなわち、この実施形態のSDRAMは、入出力データのビット数(入出力端子数)を4分の1または8分の1にできる2種類の圧縮試験モードを有している。

【0045】図5は、選択回路56の詳細を示している。選択回路56は、書き込みデータ信号DINC20~DINC27にそれぞれ対応する8個(1バイト)のスイッチ回路42と、これ等スイッチ回路42を制御する制御回路56a、インバータ56bと、書き込みデータ信号DI NO、DI N1、DINA、DINSに対応するスイッチ回路42に供給するデータ信号を選択するスイッチ回路58とで構成されている。スイッチ回路42は、第2スイッチ回路に対応し、スイッチ回路58は、第1スイッチ回路に対応している。スイッチ回路58は、2個のCMOS伝達ゲートと2個のインバータとで構成されている。スイッチ回路58は、イネーブル信号TEST4が高レベルの時に書き込みデータ信号DINC20の反転信号を出力し、イネーブル信号TEST4が低レベルの時に書き込みデータ信号DINC27の反転信号を出力する回路である。

【0046】スイッチ回路42のCMOS伝達ゲート42a、42bは、イネーブル信号TEST4、TEST8のOR論理と同相の信号および逆相の信号で制御されている。CMOS伝達ゲート42aは、イネーブル信号TEST4、TEST8がともに低レベル(通常の動作)のときにオンする。CMOS伝達ゲート42bは、イネーブル信号TEST4、TEST8の一方が高レベル(4ビットのデータ圧縮試験または8ビットのデータ圧縮試験)のときにオンする。書き込みデータ信号DINO、DINI、DINA、DINSに対応する選択回路42の端子D2は、スイッチ回路58を介して書き込みデータ信号DINC20または書き込みデータ信号DINC27の反転信号を受けている。書き込みデータ信号DIN2、DIN3、DIN6、DIN7に対応する選択回路42の端子D2は、インバータ56bを介して書き込みデータ信号DINC27の反転信号を受けている。

【0047】このように、本実施形態では、従来と同一のスイッチ回路42を使用して、複数のデータ圧縮試験を行うことができる。これは、2段構成のスイッチ回路42、58で選択回路56を構成しているためである。すなわち、スイッチ回路42は、通常データ、試験用データのいずれかを選択し、スイッチ回路42の手前形成されたスイッチ回路58は、複数の試験用データ(書き込みデータ信号DINC20、DINC27)のいずれかを選択する。書き込みデータ信号DI NO~DIN7の負荷を従来と同一にできるため、タイミング設計は容易になる。また、複数の試験用データを、CMOS伝達ゲートで構成された簡易なスイッチ回路58で選択している。このため、レイアウト面積を最小限にして、データ圧縮試験の制御回路を

形成できる。

【0046】次に、選択回路56の動作を説明する。通常動作モードでは、書き込みデータ信号DINC20~7が、それぞれ書き込みデータ信号DINO~7として伝達される。4ビットのデータ圧縮試験の動作では、4ビットの入出力端子が1ビットに圧縮され、書き込みデータ信号DINC20およびDINC27は、それぞれ書き込みデータ信号DINO、DINI、DINA、DINSおよび書き込みデータ信号DIN2、DIN3、DIN6、DIN7として伝達される。8ビットのデータ圧縮試験の動作では、8ビットの入出力端子が1ビットに圧縮され、書き込みデータ信号DINC27は、全ての書き込みデータ信号DINO~7として伝達される。特に図示しないが、入出力データ信号D08~15、DQ16~23、DQ24~31についても同じ選択回路56で制御されている。

【0047】このSDRAMを評価するLSIテストの評価基板は、1個のSDRAMに対して4ビット(DQ7、DQ15、DQ23、DQ31)または8ビット(DQ0、DQ7、DQ8、DQ15、DQ16、DQ23、DQ24、DQ31)の入出力チャネルを使用するだけで、SDRAMの読み書き動作試験を実行できる。例えば、4ビットのデータ圧縮試験を不良の救済試験(ウェーハ状態での試験)に適用することで、実際に不良が発生したブロックのワード線救済回路22のみを使用して不良の救済ができる。したがって、データ圧縮試験を救済判定に適用した場合にも、救済効率(ワード線救済回路22の使用効率)を低下させることなく、かつLSIテストでの同時測定するSDRAMの数を増大することができる。なお、救済効率を向上するためには、データ圧縮試験で確認される不良が、ワード線救済回路22の最小単位である一ブロック内(例えばBLK0)に限定する必要がある。

【0050】8ビットのデータ圧縮試験を、組立後の最終試験に適用することで、最終試験のコストを低減できる。さらに、アクセス速度、消費電流等の電気的特性を測定する場合には、通常動作モードを使用できる。このように、試験工程に応じて最も効率のよい試験方法を選択し実行できる。また、DQの番号の異なるブロックBLK3、BLK4で使用するセンスアンプ30およびプリチャージ回路32を共有したため、制御回路52のレイアウト面積を、従来に比べて大幅に低減できる。

【0051】図6は、本発明の半導体集積回路の第2の実施形態におけるデータ圧縮回路60を示している。この実施形態は、請求項3ないし請求項5、請求項9、請求項10に対応している。第1の実施形態と同一の回路については、同一の符号を付し、これら回路については、詳細な説明を省略する。この実施形態のSDRAMは、16ビットの入出力端子を備えている。

【0052】データ圧縮回路60は、第1の実施形態のデータ圧縮回路54を2つまとめた回路である。データ圧縮回路60は、入出力データ信号DQ0~DQ15に対応する16個のバッファ回路68と、2個の選択回路62と、

試験用データである書き込みデータ信号DINを伝達するバッファ回路68とを有している。入出力データ信号DQ0~DQ7に対応する選択回路62は、書き込みデータ信号DINC20~DINC27、データ圧縮試験のイネーブル信号TEST4、TEST8、TEST、および書き込みデータ信号DINを受け、書き込みデータ信号DINO~DIN7を出力している。入出力データ信号DQ8~DQ15に対応する選択回路62は、書き込みデータ信号DINC28~DINC35、データ圧縮試験のイネーブル信号TEST4、TEST8、TEST、および書き込みデータ信号DINを受け、書き込みデータ信号DIN8~DIN15を出力している。イネーブル信号TEST4は、4ビットのデータ圧縮試験のときに高レベルになり、イネーブル信号TEST8は、8ビットのデータ圧縮試験のときに高レベルになり、イネーブル信号TESTは、16ビットのデータ圧縮試験のときに高レベルになる。すなわち、この実施形態のSDRAMは、3種類のデータ圧縮試験機能を有している。その他の構成は、入出力端子が16ビットであることを除き、第1の実施形態と同一である。入出力端子が16ビットであるため、例えば、図1に示したメモリコア50において、グループE、F、G、HのDQ0~DQ7は、グループA、B、C、Dとは別アドレスのDQ0~DQ7に対応している。

【0053】図7は、入出力データ信号DQ0~DQ7に対応する選択回路62の詳細を示している。なお、入出力データ信号DQ8~DQ15に対応する選択回路62の信号名を括弧内に示している。選択回路62は、書き込みデータ信号DINC20~DINC27にそれぞれ対応する8個のスイッチ回路42と、これ等スイッチ回路42を制御するOR回路62aと、伝達回路62b、62c、62dからなるスイッチ回路63と、ラッチ回路62eと、書き込みデータ信号DIN2、DIN3、DIN6、DIN7に対応するスイッチ回路42に供給するデータ信号を選択するスイッチ回路64とで構成されている。スイッチ回路63、64は、第1スイッチ回路に対応している。

【0054】伝達回路62b、62c、62dは、CMOS伝達ゲートと、この伝達ゲートを制御するインバータとで構成されている。伝達回路62bは、イネーブル信号TEST4が高レベルの時にオンし、書き込みデータ信号DINC20をラッチ回路62eに伝達する。伝達回路62cは、イネーブル信号TEST8が高レベルの時にオンし、書き込みデータ信号DINC27をラッチ回路62eに伝達する。伝達回路62dは、イネーブル信号TESTが高レベルの時にオンし、書き込みデータ信号DIN(DQ8)をラッチ回路62eに伝達する。ラッチ62eは、2個のインバータ62f、62gの入力と出力とを互いに接続して構成されている。ラッチ回路62eのインバータ62fは、インバータ62gに真逆電流が発生することを防止している。すなわち、ラッチ62eが、インバータ62fのみで構成された場合、スイッチ回路63の伝達回路62b、62c、62dの出力が高インピーダンスのど

き、インバータ621の入力が不定になる。インバータ622は、この不定状態をなくしている。

【0055】スイッチ回路64は、2個のCMOS伝達ゲートとインバータとで構成されている。スイッチ回路64は、イネーブル信号TESTが高レベルの時に書き込みデータ信号DINの反転信号を出力し、イネーブル信号TESTが低レベルの時に書き込みデータ信号DINC27の反転信号を出力する回路である。スイッチ回路42のCMOS伝達ゲート(図示せず)は、イネーブル信号TEST4、TEST8、TESTのOR論理と同相の信号および逆相の信号で制御されている。すなわち、スイッチ回路42は、イネーブル信号TEST4、TEST8、TESTが全て低レベル(通常の動作)のときに、端子01で受けた信号を端子00から出力する。スイッチ回路42は、イネーブル信号TEST4、TEST8、TESTのいずれかが高レベル(4ビットのデータ圧縮試験、8ビットのデータ圧縮試験、16ビットのデータ圧縮試験のいずれか)のときに、端子02で受けた信号を端子00から出力する。書き込みデータ信号DIN0、DIN1、DIN4、DIN5に対応する選択回路42の端子02は、ラッチ62eを介して、書き込みデータ信号DINC20、DINC27、DIN(008)の反転信号のいずれかを受けている。書き込みデータ信号DIN2、DIN3、DIN6、DIN7に対応する選択回路42の端子02は、スイッチ回路64を介して書き込みデータ信号DINC27の反転信号または書き込みデータ信号DINの反転信号を受けている。すなわち、通常の動作では、書き込みデータ信号DINC20~7が、それぞれ書き込みデータ信号DIN0~7として伝達される。

【0056】4ビットのデータ圧縮試験の動作では、4ビットの入出力データが1ビットに圧縮され、書き込みデータ信号DINC20の反転信号およびDINC27の反転信号は、それぞれ書き込みデータ信号DIN0、DIN1、DIN4、DIN5および書き込みデータ信号DIN2、DIN3、DIN6、DIN7として伝達される。このとき、入出力データ信号008~0015に対応する選択回路62では、書き込みデータ信号DINC28の反転信号およびDINC215の反転信号は、それぞれ書き込みデータ信号DIN8、DIN9、DIN12、DIN13および書き込みデータ信号DIN10、DIN11、DIN14、DIN15として伝達される。4ビットのデータ圧縮試験は、第1の実施形態と同様に、救済判定等で使用される。

【0057】8ビットのデータ圧縮試験の動作では、8ビットの入出力データが1ビットに圧縮され、書き込みデータ信号DINC27の反転信号は、書き込みデータ信号DIN0~7として伝達される。このとき、入出力データ信号008~0015に対応する選択回路62では、書き込みデータ信号DINC215の反転信号は、書き込みデータ信号DIN8~15として伝達される。8ビットのデータ圧縮試験は、組立後の最終試験等で使用される。

【0058】16ビットのデータ圧縮試験の動作では、16ビットの入出力データが1ビットに圧縮され、書き込みデータ信号DIN(008)は、書き込みデータ信号DIN0~7

として伝達される。このとき、入出力データ信号008~0015に対応する選択回路62においても、書き込みデータ信号DIN(008)は、書き込みデータ信号DIN0~7として伝達される。16ビットのデータ圧縮試験は、後述するウェーハバーンイン試験で使用される。

【0059】ここで、各選択回路62には、通常動作で使用する書き込みデータ信号DINC28ではなく、試験専用のバッファ回路38が出力する書き込みデータ信号DINC28の負荷は、他の書き込みデータ信号DINC20~7、9~15と同一になる。通常動作時に、書き込みデータ信号DINC28だけ、書き込みタイミングが遅れることはない。

【0060】図8は、ブロックBLK3、BLK4の間に形成される制御回路66を示している。制御回路66では、DQ0、DQ1、DQ14、DQ15に対応するデータ線スイッチ18eのゲートをHANDゲートが制御している。制御回路66の他の構成は、図3に示した制御回路52と同一である。HANDゲートは、一方の入力で制御信号BT3を受け、他方の入力で試験モード信号WBIXを受けている。試験モード信号WBIXは、ウェーハバーンイン試験時に活性化(低レベル)される信号である。この実施形態では、圧縮効率が最大の16ビットのデータ圧縮試験モードを利用して、ウェーハバーンイン試験が実行される。ウェーハバーンイン試験は、ウェーハ上の複数のSDRAMに、一括してバーンインを行う試験である。ウェーハバーンイン試験では、チップ上の試験パッドを使用してワード線等に直接高電圧を印加できるため、短時間で多くのSDRAMをスクリーニングできる。

【0061】ウェーハバーンイン試験では、チップ上の全てのメモリスルを選択するため、制御信号BT3、BT4は、全て高レベルになる。このとき、データ線スイッチ18は、オフする。書き込みデータは、試験モード信号WBIXデータの低レベルを受けてオンするデータ線スイッチ18eを介してメモリスルに伝達される。すなわち、データ圧縮試験モードを利用してウェーハバーンイン試験が実行される。

【0062】この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、スイッチ回路63とスイッチ回路42との間に試験用データをフロッパするラッチ回路62eを備えた。このため、スイッチ回路63の伝達回路62b、62c、62dの出力が高インピーダンスのとき、インバータ621の入力が不定になることを防止でき、インバータ621に直通電流が発生することを防止できる。

【0063】入出力データ信号008を受け、受けた信号を書き込みデータ信号DINとしてスイッチ回路63、64に供給する専用のバッファ回路38を備えた。このため、スイッチ回路42に供給される書き込みデータ信号DINC20~DINC215の負荷を全て同じにできる。この結

果、データ圧縮試験モードで使用する特定のビット(DQ08)のスイッチ回路42への供給タイミングがずれることを防止できる。

【0064】データ線スイッチ18aの制御に、試験モード信号WBIXの論理を加え、ウェーハバーンイン試験時に、データ線スイッチ18aをオンした。このため、一方の主データ線対MOLPを使用することで、他方の主データ線対MOLPに対応するブロックに対しても、入出力データを書き込むことができる。すなわち、ウェーハバーンイン試験を行う際に、書き込みデータを圧縮することができる。この結果、バーンイン試験において、書き込みデータを供給するためにチップ上のパッドに接続するブロープの本数を最小限にできる。

【0065】図9は、本発明の半導体集積回路の第3の実施形態を示している。この実施形態は、請求項9、請求項10に対応している。第1の実施形態と同一の回路については、同一の符号を付し、これら回路については、詳細な説明を省略する。この実施形態では、第1の実施形態の制御回路52にnMOSトランジスタ68a、68bを付加して制御回路68が構成されている。nMOSトランジスタ68a、68bは、高レベルの試験モード信号WBIZを受けてオンし、主データ線対MOLPを副データ線対SDLPIに接続する機能を有している。試験モード信号WBIZは、ウェーハバーンイン試験時に活性化(高レベル)される信号である。

【0066】この実施形態においても、上述した第2の実施形態と同様の効果を得ることができる。さらに、この実施形態では、nMOSトランジスタを追加することで制御回路68が構成されるため、ブロックBLK3、BLK4の間のレイアウト面積を小さくすることができる。なお、上述した第1の実施形態では、図5に示したように、スイッチ回路42をCMOS伝達ゲートで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図10に示すように、スイッチ回路70をクロックインバータで構成してもよい。あるいは、図11に示すように、クロックインバータを有するスイッチ回路72aと、スイッチ回路72aの電源を利用したインバータを有するスイッチ回路72bとを形成してもよい。スイッチ回路72aは、クロックインバータにおける電源側のpMOSトランジスタおよびnMOSトランジスタのドレインから、電圧V01、VS1、V02、VS1をそれぞれ出力している。スイッチ回路72bは、これ等電圧V01、VS1、V02、VS1をpMOSトランジスタ、nMOSトランジスタのソースでそれぞれ受けている。このため、スイッチ回路72bにおいて制御用のpMOSトランジスタ、nMOSトランジスタを不要にできる。

【0067】上述した第1の実施形態では、データ線スイッチ18をnMOS伝達ゲートで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。レイアウト面積に余裕がある場合には、データ線ス

イッチ18をCMOS伝達ゲートで構成してもよい。上述した第1の実施形態では、データ圧縮試験時に書き込みデータDINC20、DINC27を使用した例について述べた。本発明はかかる実施形態に限定されるものではない。書き込みデータに使用するビットは、任意に決めてよい。

【0068】上述した第2の実施形態では、DQ0、DQ1、DQ14、DQ15に対応する主データ線対MOLPをデータ線スイッチ18aを介して副データ線対SDLPIに接続した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、DQ2、DQ3、DQ12、DQ13に対応する主データ線対MOLPをデータ線スイッチ18aを介して副データ線対SDLPIに接続してもよく、DQ0、DQ1、DQ14、DQ15、およびDQ2、DQ3、DQ12、DQ13に対応する主データ線対MOLPを、それぞれデータ線スイッチ18aを介して副データ線対SDLPIに接続してもよい。

【0069】上述した第2の実施形態では、2個のインバータの入力と出力とを接続してラッチ回路62eを形成した例について述べた(図7)。本発明はかかる実施形態に限定されるものではない。例えば、一方のインバータをNANDゲートに置き換え、このNANDゲートの一方の入力にパワーオン時に活性化(低レベル)されるパワーオンリセット信号あるいはパワーオンリセット信号の論理を含む制御信号を供給してもよい。この結果、NANDゲートがリセット回路として動作し、パワーオン時にラッチ回路が確実に初期化される。また、貫通電流の発生を防止できる。(請求項4に対応する。)

上述した第2の実施形態では、本発明をウェーハバーンイン試験に適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、組立後のSDRAMのバーンイン試験に適用してもよい。

【0070】上述した第3の実施形態では、DQ0、DQ1、DQ14、DQ15に対応する主データ線対MOLPをnMOSトランジスタ68a、68bを介して副データ線対SDLPIに接続した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、DQ2、DQ3、DQ12、DQ13に対応する主データ線対MOLPをnMOSトランジスタ68a、68bを介して副データ線対SDLPIに接続してもよく、DQ0、DQ1、DQ14、DQ15、およびDQ2、DQ3、DQ12、DQ13に対応する主データ線対MOLPを、それぞれnMOSトランジスタ68a、68bを介して副データ線対SDLPIに接続してもよい。

【0071】上述した実施形態では、本発明を、16本または32本の入出力端子を有するSDRAMに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、64本またはそれ以上の入出力端子を有するSDRAMに適用してもよい。上述した実施形態では、本発明をSDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をクロック非同期式の通常のDRAM、SRAMに適用してもよい。あるいは、DRAMのメモ

리코어를 내장한 시스템LSI에適用してもよい。

【0072】また、本発明が適用される半導体製造プロセスは、CMOSプロセスに限られず、BI-CMOSプロセスでもよい。以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0073】

【発明の効果】請求項1の半導体集積回路では、簡単な第1スイッチ回路および第2スイッチ回路を使用して、複数種類のデータ圧縮試験の書き込み制御ができる。その結果、データ圧縮試験の制御回路のレイアウト面積が小さくなり、チップサイズの増大を防止できる。第2スイッチ回路から出力されるデータの負荷は、通常動作および複数の試験モードによって変わらないので、タイミング設計を容易にできる。

【0074】請求項2の半導体集積回路では、試験モード（データ圧縮試験）時に、メモリアルレイ毎に不良が判定でき、実際に不良が発生したメモリアルレイの救済回路のみを使用して不良の救済ができる。したがって、データ圧縮試験を救済判定に適用した場合にも、救済回路を効率よく使用でき、救済効率の低下を防止できる。

【0075】請求項3の半導体集積回路では、第2スイッチ回路の入力が不定になることを防止でき、第2スイッチ回路に直通電流が発生することを防止でき、あるいは、第2スイッチ回路が誤動作することを防止できる。請求項4の半導体集積回路では、パワーオン時にラッチ回路を確実に初期化でき、直通電流の発生を防止できる。

【0076】請求項5の半導体集積回路では、第2スイッチ回路の供給される入出力データの負荷を全て同じにできる。この結果、入出力データのうち試験モードで使用する特定のビットの第2スイッチ回路への供給タイミングがずれることを防止できる。請求項6の半導体集積回路では、センスアンプを互いに異なるビットの入出力データに対して共有でき、センスアンプの数を減らすことができる。この結果、メモリアルレイ領域のレイアウト面積を低減でき、チップサイズを低減できる。

【0077】請求項7の半導体集積回路では、メモリアルレイ領域とデータ線との間に、そのメモリアルレイ領域に割り当てられた所定のビットのデータを確実に伝達できる。請求項8の半導体集積回路では、特別の信号生成回路を形成することなく、2つのメモリアルレイ領域に対応するデータ線スイッチを容易に制御できる。

【0078】請求項9の半導体集積回路では、一方のデータ線を使用することで、他方のデータ線に対応するメモリアルレイ領域に対しても、入出力データを書き込むことができる。すなわち、データ圧縮試験を容易に実

行できる。請求項10の半導体集積回路では、ウェーハバーンイン試験を行う際に、書き込みデータを圧縮することができる。

【図面の簡単な説明】

【図1】第1の実施形態におけるメモリアレイを示すレイアウト図である。

【図2】図1の要素の詳細を示すレイアウト図である。

【図3】ブロックの間に形成される制御回路を示す回路図である。

【図4】第1の実施形態におけるデータ圧縮回路を示すブロック図である。

【図5】図4の選択回路の詳細を示す回路図である。

【図6】第2の実施形態におけるデータ圧縮回路を示すブロック図である。

【図7】図6の選択回路の詳細を示す回路図である。

【図8】第2の実施形態におけるブロックの間に形成される制御回路を示す回路図である。

【図9】第3の実施形態におけるブロックの間に形成される制御回路を示す回路図である。

【図10】選択回路の別の例を示す回路図である。

【図11】選択回路の別の例を示す回路図である。

【図12】従来のSDRAMのメモリアレイを示すレイアウト図である。

【図13】図11の要素の詳細を示すレイアウト図である。

【図14】従来のSDRAMにおけるブロックの間に形成される制御回路を示す回路図である。

【図15】従来のSDRAMにおける別のブロックの間に形成される制御回路を示す回路図である。

【図16】従来のSDRAMにおけるデータ圧縮回路を示すブロック図である。

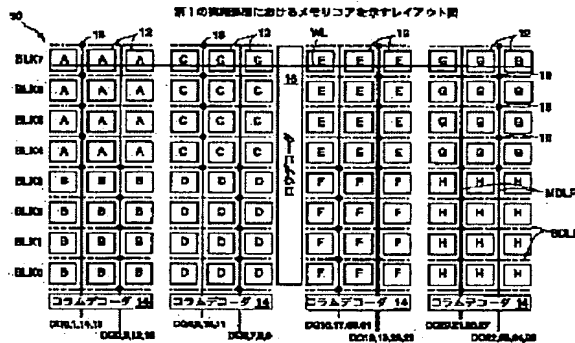
【図17】図16の選択回路の詳細を示す回路図である。

【符号の説明】

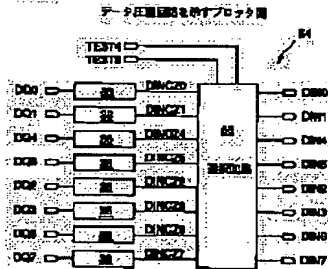
- 1:2 メモリアルレイ
- 1:4 コラムデコーダ
- 1:6 ロウデコーダ
- 1:8 データ線スイッチ
- 1:8a データ線スイッチ
- 2:0 コラム線スイッチ
- 2:2 ワード線救済回路
- 2:4 ビット線救済回路
- 2:6 制御回路
- 2:8 ビット線スイッチ
- 3:0 センスアンプ
- 3:2 プリチャージ回路
- 3:8 バッファ回路
- 4:2 スイッチ回路
- 4:2a、4:2b CMOS伝達ゲート
- 5:0 メモリアレイ

- 5 2 制御回路
- 5 4 데이터圧축回路
- 5 6 選択回路
- 5 6 a OR回路
- 5 6 b 인버터
- 5 8 스위치回路
- 6 0 데이터圧축回路
- 6 2 選択回路
- 6 2 a OR回路
- 6 2 b, 6 2 c, 6 2 d 伝達回路
- 6 2 e 래치回路
- 6 3 스위치回路
- 6 4 스위치回路
- 6 6 制御回路
- 6 8 制御回路
- 6 8 a, 6 8 b nMOS트랜지스터
- 7 0 스위치回路
- 7 2 a, 7 2 b 스위치回路
- BLK0~BLK7 블록
- BLP 비트선택
- BRS 프리차지信号
- BT3, BT4 制御信号
- CL 컬럼선택信号
- DIN0~DIN7書き込み데이터信号
- DINC20~DINC27書き込み데이터信号
- DQ0~DQ7 入出力데이터信号
- MDLP 주데이터선택
- SDLP 부데이터선택
- SMBLP 부비트선택
- TESTA, TESTB, TESTC 이니셜信号
- WB1X, WB1Z 테스트모드信号
- WL 워드선택

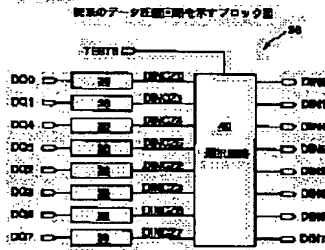
【圖 1】



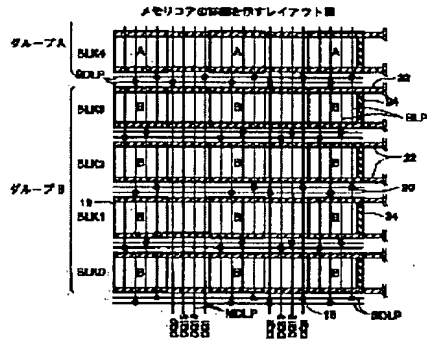
【圖 4】



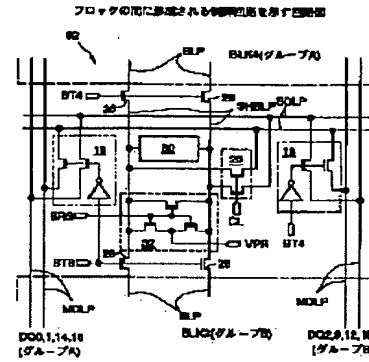
【圖 16】



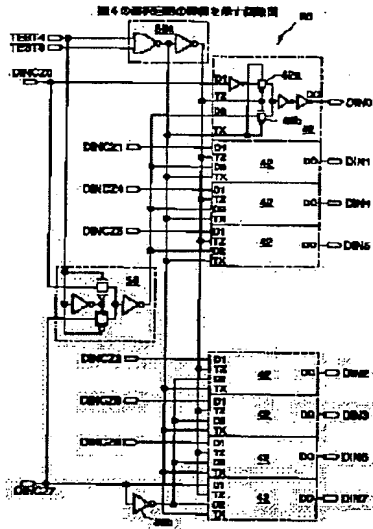
【圖2】



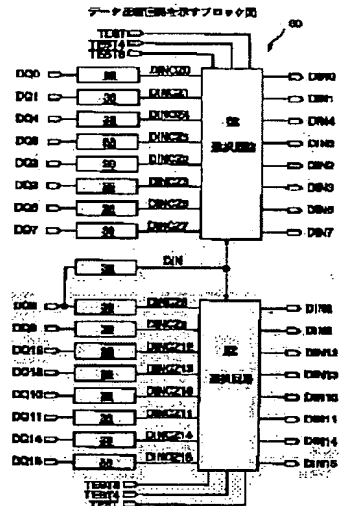
【圖3】



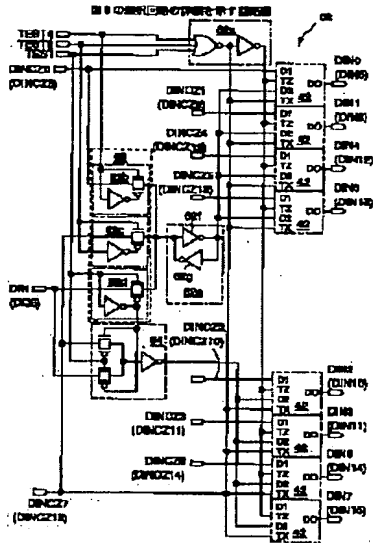
【圖5】



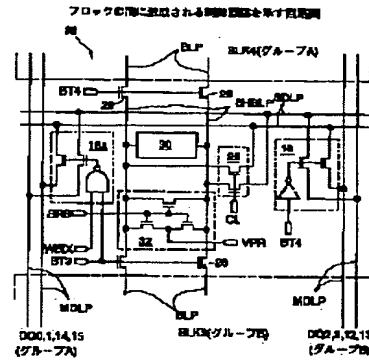
【圖6】



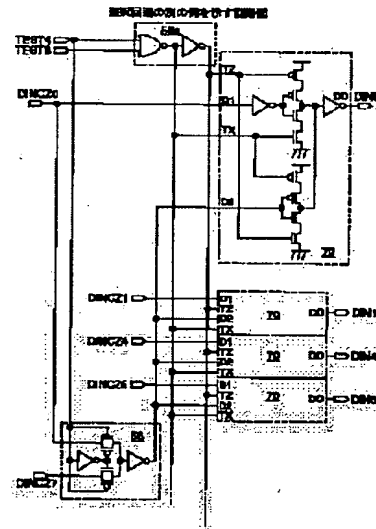
【圖 7】



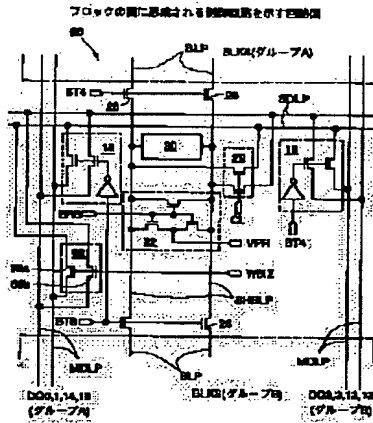
【圖 8】

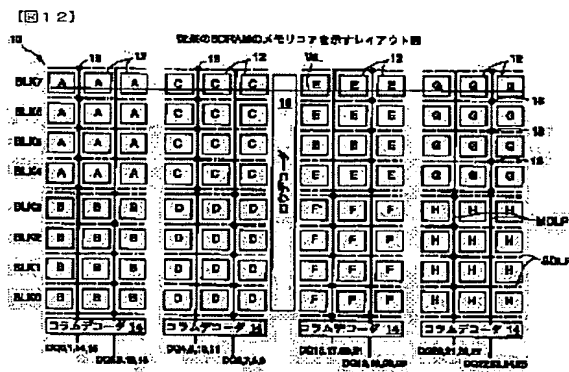
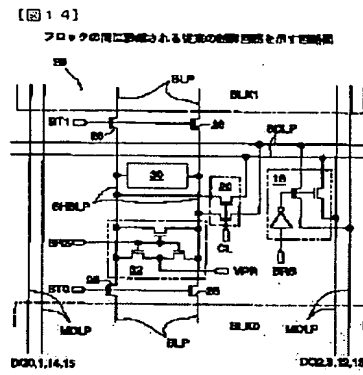
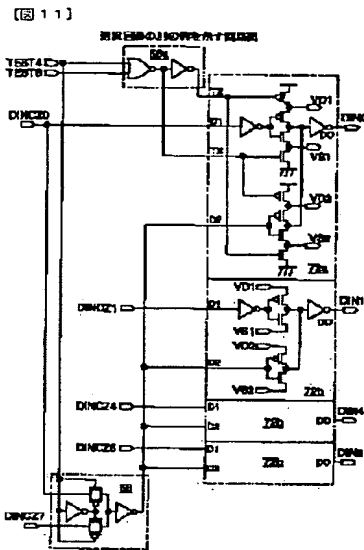


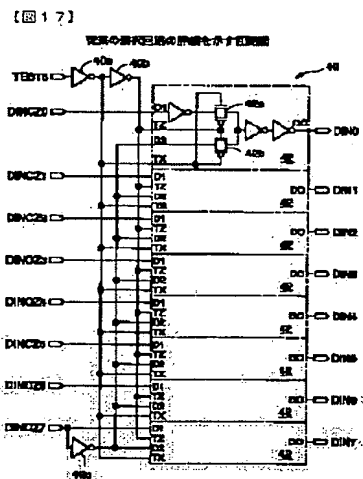
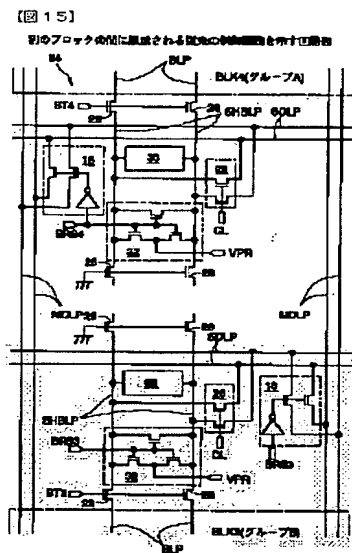
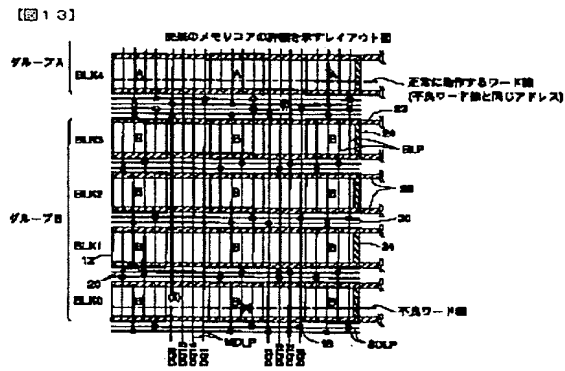
【圖 10】



【圖 9】







[첨부그림 17]

フロントページの続き

(51)Int. Cl. 7

識別記号

F 1

デーマコート” (参考)

H 0 1 L 27/108

21/6242

(72)発明者 池田 幸一郎

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72)発明者 加藤 好治

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72)発明者 川本 恒

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

F ターム(参考) 5B024 AA01 AA03 AA07 BA05 BA10

BA13 BA15 BA21 BA29 CA07

CA17 CA21 EA01 EA04

5F038 DF05 DT02 DT03 DT10 DT18

DT20 EZ20

5F033 AD00 LA03 LA07 LA10 LA12

ZA10 ZA20

5L106 AA01 CC02 CC17 CC21 CC32

DD01 DD11 FF04 GG05 GG07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.